

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-204737

(43) 公開日 平成11年(1999) 7月30日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 27/04
21/822
21/8234
27/088
H 0 3 K 19/003

H 0 1 L 27/04 H
H 0 3 K 19/003 E
H 0 1 L 27/08 1 0 2 F

審査請求 未請求 請求項の数 6 O L (全 12 頁)

(21) 出願番号 特願平10-7742

(22) 出願日 平成10年(1998) 1月19日

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 鈴木 巨裕

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72) 発明者 塩谷 武司

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

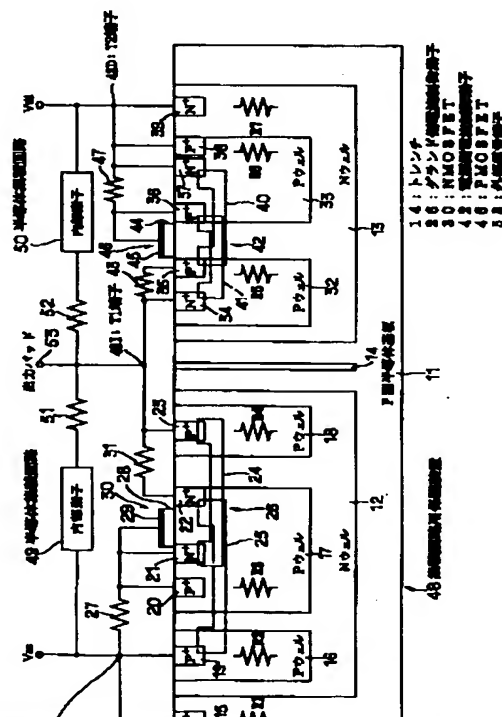
(74) 代理人 弁理士 佐藤 強

(54) 【発明の名称】 集積回路用保護装置

(57) 【要約】

【課題】 半導体集積回路に対して正、負何れの極性の所定範囲を超える電圧が印加された場合でも、半導体集積回路を保護することが可能な集積回路用保護装置を、極力少ない回路面積で構成する。

【解決手段】 P型半導体基板11内に双方向サイリスタ構造を有する電源側及びグランド側電流制御素子26及び42を形成し、ESDが出力パッド53に印加された時に、内部素子49及び50の動作状態により出力パッド53がグランドVss側に接続されている場合は、ESDの電圧極性に応じて電流制御素子26のSCR構造24及び25が端子T1-T2方向、端子T2-T1方向に夫々ターンオンして内部素子49を保護する。また、出力パッド53が電源Vdd側に接続されている場合は、前記電圧極性に応じて電流制御素子42のSCR構造40及び41が端子T1-T2方向、端子T2-T1方向に夫々ターンオンして内部素子50を保護する。



【特許請求の範囲】

【請求項1】 P型半導体基板に形成された半導体集積回路の外部信号端子に接続され、前記外部信号端子に所定範囲を外れた電圧が印加された場合に前記半導体集積回路が破壊されるのを防止する集積回路用保護装置において、

T1端子が前記外部信号端子側に接続されると共にT2端子が電源側に接続された双方向サイリスタ構造を有する電源側電流制御素子と、

T1端子が前記外部信号端子側に接続されると共にT2端子がグランド側に接続された双方向サイリスタ構造を有するグランド側電流制御素子とを備えたことを特徴とする集積回路用保護装置。

【請求項2】 前記電源側電流制御素子と前記グランド側電流制御素子とは、トレンチ分離されていることを特徴とする請求項1記載の集積回路用保護装置。

【請求項3】 前記電源側電流制御素子に組み込まれ、前記外部信号端子に印加される所定範囲を外れた電圧の極性が正である場合にオン状態となって、前記電源側電流制御素子をT1-T2方向にターンオンすると共に、前記外部信号端子に印加される所定範囲を外れた電圧の極性が負である場合に降伏状態となることにより、前記電源側電流制御素子をT2-T1方向にターンオンするPMOSFETと、前記グランド側電流制御素子に組み込まれ、前記外部信号端子に印加される所定範囲を外れた電圧の極性が正である場合に降伏状態となることにより前記グランド側電流制御素子をT1-T2方向にターンオンすると共に、前記外部信号端子に印加される所定範囲を外れた電圧の極性が負である場合にオン状態となって前記グランド側電流制御素子をT2-T1方向にターンオンするNMO
S F E Tとを備えたことを特徴とする請求項1または2記載の集積回路用保護装置。

【請求項4】 N型半導体基板内に形成された半導体集積回路の外部信号端子に接続され、前記外部信号端子に所定範囲を外れた電圧が印加された場合に前記半導体集積回路が破壊されるのを防止する集積回路用保護装置において、

T1端子が前記外部信号端子側に接続されると共にT2端子が電源側に接続された双方向サイリスタ構造を有する電源側電流制御素子と、

T1端子が前記外部信号端子側に接続されると共にT2端子がグランド側に接続された双方向サイリスタ構造を有するグランド側電流制御素子とを備えたことを特徴とする集積回路用保護装置。

【請求項5】 前記電源側電流制御素子と前記グランド側電流制御素子とは、トレンチ分離されていることを特徴とする請求項4記載の集積回路用保護装置。

【請求項6】 前記電源側電流制御素子に組み込まれ、

極性が正である場合にオン状態となって、前記電源側電流制御素子をT1-T2方向にターンオンすると共に、前記外部信号端子に印加される所定範囲を外れた電圧の極性が負である場合に降伏状態となることにより、前記電源側電流制御素子をT2-T1方向にターンオンするPMOSFETと、

前記グランド側電流制御素子に組み込まれ、前記外部信号端子に印加される所定範囲を外れた電圧の極性が正である場合に降伏状態となることにより前記グランド側電流制御素子をT1-T2方向にターンオンすると共に、前記外部信号端子に印加される所定範囲を外れた電圧の極性が負である場合にオン状態となって前記グランド側電流制御素子をT2-T1方向にターンオンするNMO
S F E Tとを備えたことを特徴とする請求項4または5記載の集積回路用保護装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路の外部信号端子に接続され、その外部信号端子に所定範囲を超える電圧が印加された場合に半導体集積回路が破壊されるのを防止する集積回路用保護装置に関する。

【0002】

【従来の技術】近年、LSI (Large Scale Integration, 大規模集積回路) については、小型化及び省電力化の要請が高まっている。その要請に応じてLSIの微細化が進むにつれて、LSIに対するESD (Electro Static Discharge, 静電気放電) の影響が深刻な問題となってきている。LSIをESDから保護する保護回路としては、例えば、抵抗及びコンデンサ、ダイオード、バイポーラトランジスタなどにより構成したものが一般に良く用いられている。

【0003】例えば、抵抗及びコンデンサを用いた保護回路は、印加されたESDのサージを平滑する作用をなすものであり、そのサージに対する平滑能力は、抵抗値Rと容量Cとの積が大きい方が高くなる。しかし、一方で保護回路の面積を小さくするためには、コンデンサの形成領域を小さくする必要がある。すると、コンデンサの容量Cが小さくなるため、その分抵抗値Rを大きくする必要がある。そのため、ESDが印加されない通常の回路動作の場合でも抵抗値Rが影響し、電力を必要以上に消費するという問題が生じる。

【0004】また、ダイオードを用いた保護回路は、ESDのサージが印加された場合の電流吸収能力が高い、という利点がある。しかし、ダイオードのPN接合部分に形成される空乏層の寄生容量によって応答時間が長くなり、極めて短時間内に印加されるサージには対応することができないという問題がある。

【0005】また、バイポーラトランジスタを用いた保護回路は応答時間が短く、短時間内に印加されるサージ

れるバイポーラトランジスタは、オン状態におけるコレクターエミッタ間の電圧が15~20Vと高いため、トランジスタ自身の発熱量がダイオードなどに比較して多くなる。そのため、多量の電流を流すと熱破壊するおそれがあり、あまり小型に形成することはできない。

【0006】即ち、保護回路としては、通常動作時の消費電力に与える影響が殆どなく、且つ、少ない面積で大量の電流を流すことができるものが望ましい。このような要求を満たすものの一つとして、SCR(Silicon Controlled Rectifier, シリコン制御整流素子)を使用した保護回路が考えられている。SCRを使用した保護回路は、短い応答時間、極めて小さいオン抵抗、少ない発熱量及び大きな電流吸収能力等の好ましい性質を備えている。

【0007】LSI内にSCR構造を形成し保護回路として動作させるには、LSIの信号端子とグランドとの間に70V以上の高いトリガ電圧を印加する必要があるが、70V未満のサージに対しても保護回路として動作させるためSCR構造とMOSFETとを組み合わせ、LVTSCR(Low Voltage Triggering SCR, 低電圧トリガSCR)を形成する技術が開示されている(IEEE Electron Device Letters, Vol. 12, No. 1, January, 1991, P21-23)。

【0008】

【発明が解決しようとする課題】しかしながら、ESDに対する保護回路については、前述のようにLSIの微細化が進んできた結果内部の配線幅が狭まったことにより、その配線に含まれている抵抗成分が無視できなくなることにより、新たな問題が発生している。

【0009】ここで、図7を参照して説明する。図7は、LSIの内部素子として出力部に配置されているCMOSインバータ(以下、インバータと称す)1の回路図である。CMOSインバータ1は、PMOSFET2及びNMOSFET(以下、何れもFETと称す)3で構成されている。そして、FET2のソースは、アルミニウムなどによる配線4(電源ライン)を介して電源Vddに接続されており、FET3のソースは、配線5(グラウンドライン)を介してグラウンドVssに接続されている。これらの配線4及び5は、夫々抵抗成分として抵抗4a及び5aを含んでいる。

【0010】両FET2及び3のゲート、ドレインは夫々共通に接続されており、前者は入力端子(前段の回路の出力端子)6に接続され、後者は出力パッド7に接続されている。また、出力パッド7とFET3のソースとの間には、保護回路8が接続されている。

【0011】インバータ1においては、FET2、3の何れか一方が常にオン状態となっている。今、例えば入力端子6のレベルがグラウンドVssでありFET2がオン状態の場合で、出力パッド7より極性が負のESDが印

(即ち、出力パッド7)のレベルは電源Vddに略等しく、この状態で保護回路8が作動すると、グラウンドVssから配線5、保護回路8及び出力パッド7を介して電流が流れる。

【0012】ここで、配線5の抵抗5aが無視できる小ささであれば、保護回路8が作動し上記経路で電流が流れることにより、FET2のドレインのレベルは電源Vddに維持される。しかし、抵抗5aが無視できない大きさの場合は、上記経路で電流が大量に流れると、抵抗5aにおいて電圧降下が生じ、出力パッド7のレベルはVddから大幅に低下する。その結果、FET2のソースドレイン間に大量の電流が流れて(即ち、負のESDが侵入したことに等しい)、FET2が破壊に至るおそれがある。

【0013】例えば、本発明の発明者らが行った一試算例として、集積回路の耐圧15Vであり、ESDの最大電流値2.67Aである場合に上記のような問題が生じると想定した場合の配線の抵抗値Rは、 $R > 15/2.67 = 5.6(\Omega)$ である。この時、アルミニウムの抵抗率 $2.7 \mu\Omega \cdot \text{cm}$ 、アルミ配線の長さ及び厚さを、例えば夫々2cm及び $2.0 \mu\text{m}$ とした場合に、配線の幅dは、次式を解くことにより求められ、 $(2.7 \times 10^{-6} \times 2.0) / (2.0 \times 10^{-4} \times d) > 5.6$ $d < 0.48 \times 10^{-2}(\text{cm})$ となり、この場合は、配線幅dが $48 \mu\text{m}$ 未満になると上記問題を生じると考えられる。

【0014】従って、集積回路の動作状態と、印加されるESDの極性の正負を考慮すると、集積回路に対するESDの放電モードは、以下の4種類が考えられる。

(1) PSモード: 正極性のESDが印加された場合に、グラウンドラインを介して放電する。

(2) NSモード: 負極性のESDが印加された場合に、グラウンドラインを介して放電する。

(3) PDモード: 正極性のESDが印加された場合に、電源ラインを介して放電する。

(4) NDモード: 負極性のESDが印加された場合に、電源ラインを介して放電する。

【0015】斯様な4つの放電モードに対応できるように、複数のSCR構造を用いて構成された保護回路が、例えば特開平8-288403号公報に開示されている。しかしながら、この従来技術では、上記4つの放電モード夫々に対応して4つのSCR構造を設ける構成であり、回路面積が大きくなってしまいう問題があった。

【0016】本発明は上記事情に鑑みてなされたものであり、その目的は、半導体集積回路に対して正、負何れの極性の所定範囲を超える電圧が印加された場合でも、半導体集積回路を保護することが可能な集積回路用保護装置を、極力少ない回路面積で構成することにある。

【課題を解決するための手段】請求項1または4記載の集積回路用保護装置によれば、P型またはN型半導体基板内に双方向サイリスタ構造を有する電源側及びグラウンド側電流制御素子を形成したので、ESDのような所定範囲を外れた電圧が外部信号端子に印加された時に、半導体集積回路の動作状態により外部信号端子が電源側に接続されている場合は、前記電圧の極性が正、負の何れであっても、電源側電流制御素子が端子T1-T2方向、端子T2-T1方向に夫々ブレイクオーバーすることによって半導体集積回路は保護される。

【0018】また、同様の場合に、半導体集積回路の動作状態により外部信号端子がグラウンド側に接続されている場合は、前記電圧の極性に応じてグラウンド側電流制御素子が端子T1-T2方向、端子T2-T1方向に夫々ブレイクオーバーすることで半導体集積回路は保護される。即ち、これらの電流制御素子を双方向サイリスタ構造を有するものとしたことにより、従来のようにESDの極性に応じてSCR構造を独立に形成するものに比して、保護回路に要する面積を大幅に削減することができる。

【0019】請求項2または5記載の集積回路用保護装置によれば、電源側電流制御素子とグラウンド側電流制御素子とをトレンチ分離したことにより、半導体集積回路の動作状態に応じて、外部信号端子が電源側、グラウンド側に接続されていない方の半導体集積回路側に対してESDが印加されるのを防止することができる。

【0020】請求項3または6記載の集積回路用保護装置によれば、PMOSFETは、外部信号端子に印加される所定範囲を外れた電圧の極性が正である場合にオン状態となって、電源側電流制御素子をT1-T2方向に

ターンオンすると共に、所定範囲を外れた電圧の極性が負である場合に降伏状態となって、電源側電流制御素子をT2-T1方向にターンオンするように作用する。

【0021】また、NMOSFETは、所定範囲を外れた電圧の極性が正である場合に降伏状態となってグラウンド側電流制御素子をT1-T2方向にターンオンすると共に、所定範囲を外れた電圧の極性が負である場合にオン状態となってグラウンド側電流制御素子をT2-T1方向にターンオンするように作用する。従って、電源側及びグラウンド側電流制御素子をより低い電圧でターンオン

することができ、半導体集積回路を保護する電圧の所定範囲をより低く設定することができる。

【0022】

【発明の実施の形態】(第1実施例)以下、本発明の第1実施例について図1乃至図3を参照して説明する。図1は、P型の半導体基板に半導体集積回路及び保護装置を形成した場合を示す、半導体構造の模式的な断面図である。この図1において、P型の半導体基板11の内部には、2つのNウェル12及び13が形成されている。

されたトレンチ14が形成されており、両者間にはトレンチ分離されている。

【0023】半導体基板11のNウェル12が形成されている領域に隣接する部分には、P+層15が形成されている(シンボル“+”は高濃度でドーパされていることを示す)。Nウェル12の内部には、3つのPウェル16、17及び18が形成されており、Pウェル16の内部には、P+層19が形成されている。そのP+層19は、P+層15に接続されている。

10 【0024】Pウェル17の内部には、P+層20、N+層21及びN+層22が形成されており、Pウェル18の内部には、P+層23が形成されている。ここで、P+層23、Pウェル18、Nウェル12、Pウェル17及びN+層21は、PNPN接合からなるSCR構造24をなしており、また、N+層22、Pウェル17、Nウェル12、Pウェル16及びP+層19は、NPNP接合からなるSCR構造25をなしている。そして、これらのSCR構造24及び25が組合わされた構造が、双方向サイリスタ構造を有するグラウンド側電流制御

20 素子26を構成している。

【0025】P+層19とP+層20との間には、アルミニウム配線によって形成された抵抗値1Ω程度の抵抗27が接続されている。また、Pウェル17のN+層21、22間の領域の表面部分には、酸化膜(SiO₂)28を介してポリシリコンからなるゲート電極29が形成されている。即ち、N+層21(ドレイン)、Pウェル17、N+層22(ソース)及びゲート電極29は、NMOSFET30を構成している。ゲート電極29は、N+層21に接続されている。また、N+層22とP+層23との間には、抵抗27と同様に形成されている抵抗31が接続されている。

30

【0026】他方のNウェル13の内部には、2つのPウェル32、33が形成されている。Pウェル32の内部には、N+層34、P+層35が形成されており、Pウェル33の内部には、P+層36、N+層37及びP+層38が形成されている。また、Nウェル13内のPウェル33に隣接して、N+層39が形成されている。

40 【0027】ここで、P+層35、Nウェル13、Pウェル33及びN+層37からなるPNPN接合は、SCR構造40をなしており、また、N+層34、Pウェル32、Nウェル13及びP+層36は、NPNP接合からなるSCR構造41をなしている。そして、これらのSCR構造40及び41が組合わされた構造が、双方向サイリスタ構造を有する電源側電流制御素子42を構成している。

【0028】N+層34とP+層35との間には、アルミニウム配線によって形成された抵抗値1Ω程度の抵抗43が接続されている。また、P+層35、36間の領域の表面部分には、酸化膜44を介してポリシリコン

層36(ドレイン)、Nウェル13、P+層35(ソース)及びゲート電極45は、PMOSFET46を構成している。

【0029】また、ゲート電極45は、P+層36に接続されており、そのP+層36とN+層37との間には、抵抗43と同様に形成されている抵抗47が接続されている。N+層37、P+層38及びN+層39は、共通に接続されている。以上が保護回路(集積回路用保護回路)48を構成している。

【0030】内部素子(半導体集積回路)49及び50の一端は、保護抵抗51及び52を介して出力パッド(外部信号端子)53に夫々接続されており、他端は、グラウンドVss及び電源Vddに夫々接続されている。ここで、内部素子49及び50は、例えば、図7におけるFET2及び3と同様に、導通状態となることによって出力パッド53をグラウンドVss側及び電源Vdd側に夫々接続するような素子であり、耐圧は、±15Vに設定されているものとする。

【0031】そして、保護回路48の入力端子(P+層23及びN+層34の共通接続点)48Iは、出力パッド53に接続されていると共に、グラウンド端子(P+層15及び19の共通接続点)48SはグラウンドVssに、電源端子(N+層37、P+層38及びN+層39の共通接続点)48Dは電源Vddに接続されている。この場合、入力端子48IはT1端子に対応し、グラウンド端子48S及び電源端子48DはT2端子に対応している。

【0032】次に、第1実施例の作用について図2及び図3をも参照して説明する。図2は、図1の半導体構造の内部素子49及び電源側電流制御素子26を中心とするグラウンド側の電源側の等価回路図であり、図3は、内部素子50及び電源側電流制御素子42を中心とする電源側の等価回路図である。

【0033】尚、図2及び図3においては、半導体基板11及びPウェル16、17、18、32、33並びにNウェル13部分が有する抵抗分を、夫々R1及びR2、R3、R4、R5、R6並びにR7で示している。また、これらの等価回路図では、動作説明を考慮して、グラウンド側電流制御素子26及び電源側電流制御素子42は、SCR構造24、25及び40、41に夫々分離した状態で表している。

【0034】図2において、SCR構造24は、バイポーラトランジスタ(以下、単にトランジスタと称す)Tr1及びTr2で構成されており、トランジスタTr1は、P+層23及びPウェル18をエミッタ、Nウェル12をベース、Pウェル17をコレクタとするPNP型であり、トランジスタTr2は、N+層21をエミッタ、Pウェル17をベース、Nウェル12をコレクタとするPNP型である。

【0035】また、SCR構造25は、トランジスタT

は、N+層22をエミッタ、Pウェル17をベース、Nウェル12をコレクタとするNPN型であり、トランジスタTr4は、P+層19及びPウェル16をエミッタ、Nウェル12をベース、Pウェル17をコレクタとするPNP型である。

【0036】そして、SCR構造24側においては、NMOSFET30のソースは、トランジスタTr1のベース及びトランジスタTr2のコレクタに接続されており、ドレインは、トランジスタTr2のエミッタに接続されている。また、SCR構造25側においては、NMOSFET30のソースは、トランジスタTr3のエミッタに接続されており、ドレインは、トランジスタTr3のベース及びトランジスタTr4のコレクタに接続されている。

【0037】また、ダイオードD1及びD4は、半導体基板11及びNウェル12、ダイオードD2及びD5は、Pウェル16及びNウェル12、ダイオードD3は、Pウェル18及びNウェル12のPN接合で構成されるものである。

【0038】先ず、図2に示すグラウンド側の回路部分について、以下の場合に分けて作用を説明する。

(1) PSモード

この場合は、内部素子49がオン状態、内部素子50がオフ状態であり、出力パッド53が、内部素子49を介してグラウンドVssに至る電流経路に接続されている状態で、極性が正のESDが印加される場合である。

【0039】この時、ESDは、抵抗51に侵入すると共に、抵抗31を介してN+層22に侵入する。また、ESDは、抵抗52に侵入すると共に、N+層34及び抵抗43を介してP+層35にも侵入しようとするが、内部素子50がオフ状態であり電源Vddに至る電流経路は遮断されているので抵抗52から先へは侵入できず、また、Nウェル13は、グラウンドVss側に接続されているNウェル12とはトレンチ14により分離されているので、N+層34及びP+層35から先へも侵入することはできない。

【0040】P+層23に侵入したESDは、Pウェル18及びNウェル12を經由してN+層22に侵入する。ここで、NMOSFET30は、内部素子49の耐圧+15Vを超える電圧がソースであるN+層22に印加されると、確実に降伏状態となるようにチャネル幅などが予め調整されている。そして、ESDの電圧が+15Vを超える場合は、NMOSFET30は降伏状態となって、N+層22からNウェル12を介してN+層21へと電流が流れ、その電流は抵抗27を介してグラウンドVssへ流れ込む。

【0041】この時、抵抗31及びR4(Pウェル18)に電流が流れるので、P+層23とN+層22との間に電位差が生じてトランジスタTr1にベース電流が

トランジスタTr 2にもベース電流が流れてオン状態になるので、結果としてSCR構造24がターンオン状態となり、ESDはSCR構造24に吸収され、抵抗27を介してグラウンドVssに流れ込み、内部素子49は保護される。

【0042】以上の場合において、抵抗31は、出力パッド53から侵入したESDをNMOSFET30側に流さずに、できるだけSCR構造24に吸収させるように作用する。そして、抵抗31の抵抗値は、ESDが印加されて電流が大量に流れる場合にのみ上記作用をなせば良いので1Ω程度に設定すれば良く、抵抗31は、アルミニウム配線を利用して作成することができる。従って、製造工程を増加させることがなく、また、抵抗31を入れたことによるSCR構造25のオン抵抗の増加も殆どない。

【0043】(2) NSモード

この場合は、内部素子49及び50が(1)と同様のオンオフ状態で、出力パッド53に、極性が負のESDが印加される場合である。この時、ESDは、(1)と同様に各部へ侵入しようとするが、同様に抵抗52から先へは侵入できず、トレンチ14によってN+層34及びP+層35から先へも侵入することはできない。また、P+層23からPウェル18に侵入したESDは、ダイオードD4に対して逆バイアスとなることによってそれ以上先へは侵入できない。

【0044】ここで、NMOSFET30のゲート電極29及びドレインたるN+層21は、抵抗27を介してグラウンドVssに接続されているので、ソースたるN+層22にしきい値を超える負電圧が印加されると、NMOSFET30はオン状態となる。この場合、NMOSFET30は、内部素子49の耐圧-15Vを負極性で超える電圧がN+層22に印加されると確実にオン状態となるように設定されている。

【0045】即ち、ESDの電圧が-15Vを負極性で超える場合は、NMOSFET30はオン状態となり、グラウンドVssから抵抗27を経由し、N+層21からPウェル17を介してN+層22へ、更に抵抗31を介して出力パッド53へと負極性の電流が流れる。

【0046】この時、抵抗27に電流が流れるので、P+層19とP+層20(Pウェル17)との間に電位差が生じる。ここで、トランジスタTr 4の降伏電圧は-12V程度に設定されており、トランジスタTr 4が降伏状態となることによってエミッタであるPウェル16からコレクタであるPウェル17に降伏電流が流れる。すると、トランジスタTr 3にもベース電流が流れてオン状態になるので、結果としてSCR構造25がターンオン状態となり、ESDはSCR構造25に吸収され、内部素子49は保護される。

【0047】この場合、抵抗27は、抵抗31と同様

なく、SCR構造25に吸収させる作用をなすものであるため、SCR構造24のオン抵抗の増加も殆どない。

【0048】次に、図3に示す電源側の回路部分について説明する。図3において、SCR構造40は、トランジスタTr 5及びTr 6で構成されており、トランジスタTr 5は、P+層35及びPウェル32をエミッタ、Nウェル13をベース、P+層36(Pウェル33)をコレクタとするPNP型であり、トランジスタTr 6は、N+層37をエミッタ、Pウェル33をベース、Nウェル13をコレクタとするNPN型である。

【0049】また、SCR構造41は、トランジスタTr 7及びTr 8で構成されており、トランジスタTr 7は、N+層34をエミッタ、Pウェル32をベース、Nウェル13をコレクタとするNPN型であり、トランジスタTr 8は、P+層36及びPウェル33をエミッタ、Nウェル13をベース、Pウェル32をコレクタとするPNP型である。

【0050】そして、SCR構造40側においては、PMOSFET46のソースは、トランジスタTr 5のエミッタに接続されており、ドレインは、トランジスタTr 5のコレクタ及びトランジスタTr 6のベースに接続されている。また、SCR構造41側においては、PMOSFET46のソースは、トランジスタTr 7のベース及びトランジスタTr 8のコレクタに接続されており、ドレインは、トランジスタTr 8のエミッタに接続されている。

【0051】また、ダイオードD6は、Pウェル32及びN+層34、ダイオードD7は、半導体基板11及びNウェル13、ダイオードD8は、Pウェル33及びN+層37のPN接合で構成されるものである。

【0052】次に、図3に示す回路部分について、以下の場合に分けて作用を説明する。

(3) PDモード

この場合は、内部素子49がオフ状態、内部素子50がオン状態であり、出力パッド53が内部素子50を介して電源Vddに至る電流経路に接続されている状態で、出力パッド53に極性が正のESDが印加される場合である。

【0053】この時、ESDは、抵抗51、52を介して内部素子49、50へ侵入しようとし、また、P+層23、N+層34及び抵抗43を介してP+層35にも侵入しようとする。更に、ESDは、抵抗31を介してP+層22にも侵入しようとするが、内部素子49がオフ状態でありグラウンド電源Vssに至る電流経路は遮断されているので抵抗51から先へは侵入できず、また、Nウェル12は、電源Vdd側に接続されているNウェル13とはトレンチ14により分離されているので、N+層22及びP+層23から先へも侵入することはできない。また、N+層34に侵入したESDも、逆バイアス

11

【0054】ここで、PMOSFET46は、ゲート電極45が抵抗47を介して電源V_{dd}(例えば5V)に接続されているので、ソースであるP+層35に印加される電圧が(5V+しきい値電圧)になるとオン状態となるものであり、この場合、内部素子50の耐圧+15Vを超える電圧がP+層35に印加されると確実にオン状態となるように設定されている。即ち、ESDの電圧が+15Vを超える場合は、PMOSFET46はオン状態となって、P+層35からNウェル13を介してP+層36へと電流が流れて、抵抗47若しくはR6を介して電源V_{dd}へ流れ込む。

【0055】この時、抵抗47若しくはR6(Pウェル33)に電流が流れるので、Pウェル33とN+層37との間に電位差が生じてトランジスタTr6にベース電流が流れ、トランジスタTr6はオン状態となる。すると、トランジスタTr5にもベース電流が流れてオン状態になるので、結果としてSCR構造40がターンオン状態となり、ESDはSCR構造40に吸収されて電源V_{dd}に流れ込み、内部素子50は保護される。

【0056】以上の場合において、抵抗43は、出力パッド53から侵入したESDをPMOSFET46側に流さずに、できるだけSCR構造41に吸収させるように作用する。

【0057】(4)NDモード

この場合は、内部素子49及び50が(1)と同様のオンオフ状態で、出力パッド53に、極性が負のESDが印加される場合である。この時、ESDは、(1)と同様に各部へ侵入しようとするが、同様に抵抗51から先へは侵入できず、トレンチ14によってN+層22及びP+層23から先へも侵入することはできない。

【0058】ここで、PMOSFET46のソースたるP+層35に対して降伏電圧を超える負電圧が印加されると、PMOSFET46は降伏状態となる。この場合、PMOSFET46は、内部素子49の耐圧-15Vに電源電圧5Vを加えた電圧(-10V)を負極性で超える電圧がP+層35に印加されると確実に降伏状態となるように設定されている。

【0059】即ち、ESDの電圧が-10Vを負極性で超える場合は、PMOSFET46は降伏状態となり、電源V_{dd}から抵抗47を経由し、P+層36からNウェル13を介してP+層35へ、更に抵抗43を介して出力パッド53へと負極性の電流が流れる。

【0060】この時、抵抗43若しくはR5(Pウェル32)に電流が流れるので、Pウェル32とN+層34との間に電位差が生じてトランジスタTr7にベース電流が流れ、トランジスタTr7はオン状態となる。すると、トランジスタTr8にもベース電流が流れてオン状態になるので、結果としてSCR構造41がターンオン状態となり、ESDはSCR構造41に吸収されて内部

12

7と同様に、ESDによる電流をPMOSFET46側に流すことなく、SCR構造41に吸収させる作用をなすものである。

【0061】以上のように本実施例によれば、P型半導体基板11内に双方向サイリスタ構造を有する電源側及びグランド側電流制御素子26及び42を形成したので、内部素子49及び50の耐圧を超える電位のESDが出力パッド53に印加された時に、内部素子49及び50の動作状態により出力パッド53がグランドV_{ss}側に接続されている場合は、ESDの電圧極性に応じてグランド側電流制御素子26のSCR構造24及び25が端子T1-T2方向、端子T2-T1方向に夫々ターンオンすることで内部素子49は保護される。

【0062】また、出力パッド53が電源V_{dd}側に接続されている場合は、前記電圧極性が正、負の何れであっても、電源側電流制御素子42のSCR構造40及び41が端子T1-T2方向、端子T2-T1方向に夫々ターンオンすることによって内部素子50は保護される。

【0063】即ち、これらの電流制御素子26及び42を、夫々SCR構造24、25及び40、41(PNP構造とNPN構造)を組み合わせたシリコン対象スイッチ構造とすることにより、従来のようにESDの極性に応じてSCR構造を個別に形成するものとは異なり、保護回路48に要する面積を大幅に削減することができ、保護回路48を含む集積回路全体を容易に構成することができる。つまり、以上の実施例では、内部素子49、50の2つの素子について保護回路48を設けたが、実際のLSIにおける外部信号端子は、数十ピン〜数百ピン程度設けられるのが通常であり、それらの夫々について保護回路48を設ける必要があるため、保護回路に要する面積の縮小効果は絶大である。

【0064】また、本実施例によれば、電源側電流制御素子42とグランド側電流制御素子26とをトレンチ14で分離したことにより、内部素子49、50の動作状態に応じて、出力パッド53が電源V_{dd}側、グランドV_{ss}側に接続されていない方の素子側に対して、ESDが侵入するのを防止することができ、保護効果をより高めることができる。

【0065】更に、本実施例によれば、NMOSFET30は、ESDの極性が正である場合に降伏状態となってグランド側電流制御素子26をT1-T2方向にターンオンすると共に、ESDの極性が負である場合にオン状態となってグランド側電流制御素子26をT2-T1方向にターンオンするように作用し、PMOSFET46は、ESDの極性が正である場合にオン状態となって、電源側電流制御素子42をT1-T2方向にターンオンさせると共に、ESDの極性が負である場合に降伏状態となって、電源側電流制御素子42をT2-T1方向にターンオンするように作用するので、電源側及びグ

13

オンさせることができ、内部素子49及び50を保護する電圧の所定範囲をより低く設定することができる。

【0066】(第2実施例)図4乃至図6は本発明の第2実施例を示すものである。第2実施例では、第1実施例のP型の半導体基板11に代えて、N型の半導体基板111に保護回路148を形成したものである。保護回路148の構造は、保護回路48における全ての半導体のP型、N型を反転させて、電源VddとグランドVssとの接続関係を入れ替えたものである。P型、N型を反転させた状態で対応する部分には、第1実施例と同一の符号を100番台で示している。

【0067】作用に関しても、上記の入れ替えがあるだけで基本的には第1実施例と同様であり、以下要部の説明する。

(1) PSモード

この場合、内部素子49がオン状態、内部素子50がオフ状態であり、出力パッド53が内部素子49を介してグランドVssに至る電流経路に接続されている。そして、正極性のESDは、P+層134及び抵抗143を介してN+層135に印加される。ESDの電圧が内部素子49の耐圧である+15Vを超える場合は、NMOSFET146は降伏状態となり、N+層135からPウェル113を介してN+層136へと電流が流れ、その電流は、抵抗147若しくはR106(Nウェル133)を介してグランドVssへ流れ込む。

【0068】この時、図5に示すように、抵抗143若しくはR105(Nウェル132)に電流が流れるので、P+層134とNウェル132との間に電位差が生じてトランジスタTr107にベース電流が流れ、トランジスタTr107はオン状態となる。すると、トランジスタTr108にもベース電流が流れてオン状態になるので、結果としてSCR構造141がターンオン状態となり、ESDはSCR構造141に吸収されてグランドVssに流れ込むので、内部素子49は保護される。

【0069】(2) NSモード

この場合、負極性のESDは、P+層134及び抵抗143を介してN+層135に印加され、ESDの電圧が内部素子49の耐圧である-15Vを負極性で超える場合は、NMOSFET146はオン状態となり、グランド電源Vssから抵抗147若しくはR106を介して負極性の電流が流れ、更に、N+層136、Pウェル113及びN+層135を経由して出力パッド53へと至る。

【0070】この時、抵抗147若しくはR106(Nウェル133)に電流が流れるので、P+層137とNウェル133との間に電位差が生じてトランジスタTr106にベース電流が流れ、トランジスタTr106はオン状態となる。すると、トランジスタTr105にも

14

CR構造140がターンオン状態となり、ESDはSCR構造140に吸収されて、内部素子49は保護される。

【0071】(3) PDモード

この場合は、内部素子49がオフ状態、内部素子50がオン状態であり、出力パッド53が内部素子50を介して電源Vddに至る電流経路に接続されている状態で、出力パッド53に極性が正のESDが印加される場合である。

【0072】この時、図6に示すように、ESDは、N+層123及び抵抗131を介してP+層122に印加される。そして、ESDの電圧が+15Vを超える場合は、PMOSFET130はオン状態となり、P+層122からNウェル117を介してP+層121へと電流が流れ、抵抗127を介して電源Vddへ流れ込む。

【0073】この時、抵抗127に電流が流れるので、N+層120、119間に電位差が生じ、+15Vを超えるとトランジスタTr104は降伏状態となり、降伏電流が流れる。すると、トランジスタTr103にベース電流が流れてオン状態になるので、結果としてSCR構造125がターンオン状態となり、ESDはSCR構造125に吸収されて電源Vddに流れ込み、内部素子50は保護される。

【0074】(4) NDモード

ESDの電圧が-10Vを負極性で超える場合は、PMOSFET130は降伏状態となり、電源Vddから抵抗127を経由し、P+層121からNウェル117を介してP+層122へ、更に抵抗131を介して出力パッド53へと負極性の電流が流れる。

【0075】この時、抵抗131若しくはR104(Nウェル118)に電流が流れるので、P+層122と118との間に電位差が生じてトランジスタTr101にベース電流が流れ、トランジスタTr101はオン状態となる。すると、トランジスタTr102にもベース電流が流れてオン状態になるので、結果としてSCR構造124がターンオン状態となり、ESDはSCR構造124に吸収されて内部素子50は保護される。

【0076】以上のように第2実施例によれば、N型半導体基板111内に双方向サイリスタと同様の機能をなす電源側及びグランド側電流制御素子126及び142を形成したので、所定電圧を超えるESDが出力パッド53に印加された時に、内部素子49及び50の動作状態により出力パッド53がグランドVss側に接続されている場合は、前記電圧の極性に応じてグランド側電流制御素子142のSCR構造141及び140が端子T1-T2方向、端子T2-T1方向に夫々ターンオンすることで内部素子49は保護される。

【0077】また、出力パッド53が電源Vdd側に接続されている場合は、前記電圧の極性が正、負の何れであ

及び124が端子T1-T2方向、端子T2-T1方向に夫々ターンオンすることによって内部素子50は保護されるので、N型半導体基板111に形成される集積回路についても、第1実施例と同様の効果が得られる。

【0078】本発明は上記し且つ図面に記載した実施例にのみ限定されるものではなく、次のような変形または拡張が可能である。半導体集積回路の耐圧によっては、PMOSFET、NMOSFETを設けない構成として、端子T1、T2に印加されるESDの電位によりSCR構造がブレイクオーバーすることによって半導体集積回路を保護する構成としても良い。保護回路を設ける外部信号端子は、出力パッド53に限ることなく、入力パッド或いは入出力パッドであっても良い。

【図面の簡単な説明】

【図1】本発明の第1実施例における集積回路用保護装置の断面を模式的に示す図

【図2】グランド側の等価回路図

【図3】電源側の等価回路図

【図4】本発明の第2実施例を示す図1相当図

【図5】図2相当図

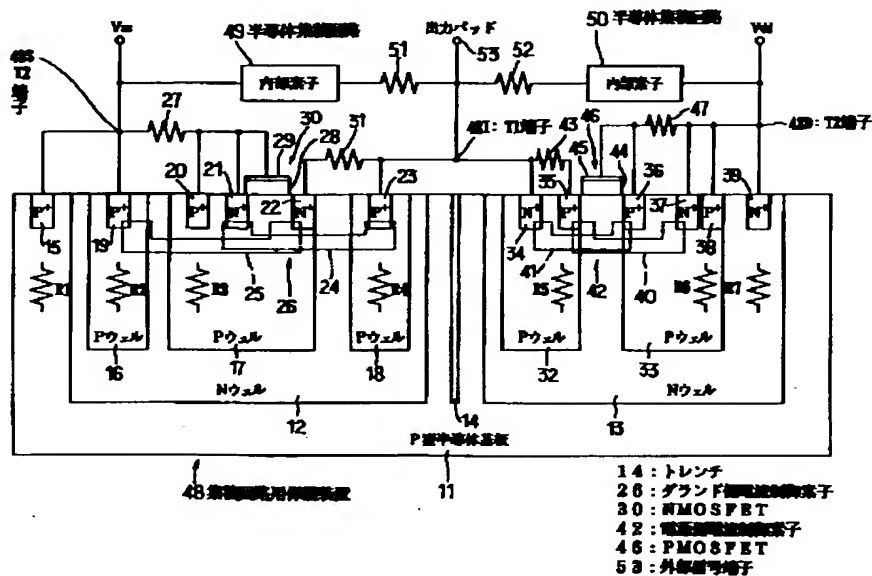
【図6】図3相当図

【図7】従来技術の問題点を説明するための、半導体集積回路と保護回路との一接続例を示す回路図

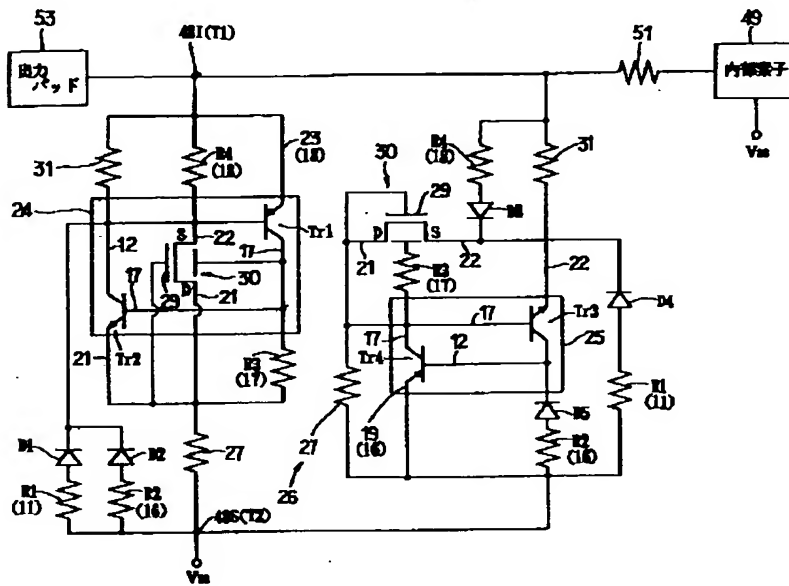
【符号の説明】

11はP型半導体基板、14はトレンチ、26はグランド側電流制御素子、30はNMOSFET、42は電源側電流制御素子、46はPMOSFET、48は保護回路（集積回路用保護回路）、48Iは入力端子（T1端子）、48Sはグランド側端子（T2端子）、48Dは電源側端子（T2端子）、49及び50は内部素子（半導体集積回路）、53は出力パッド（外部信号端子）、111はN型半導体基板、114はトレンチ、126はグランド側電流制御素子、130はPMOSFET、142はグランド側電流制御素子、146はNMOSFET、148は保護回路（集積回路用保護回路）、148Iは入力端子（T1端子）、148Sはグランド側端子（T2端子）、148Dは電源側端子（T2端子）を示す。

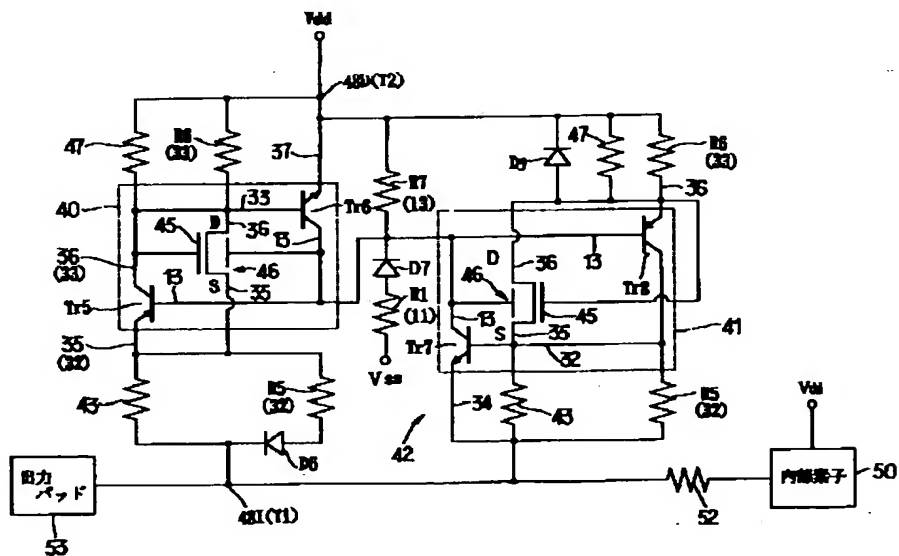
【図1】



【図2】



【図3】



[illegible]

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-204737

(43)Date of publication of application : 30.07.1999

(51)Int.Cl.

H01L 27/04
H01L 21/822
H01L 21/8234
H01L 27/088
H03K 19/003

(21)Application number : 10-007742

(71)Applicant : DENSO CORP

(22)Date of filing : 19.01.1998

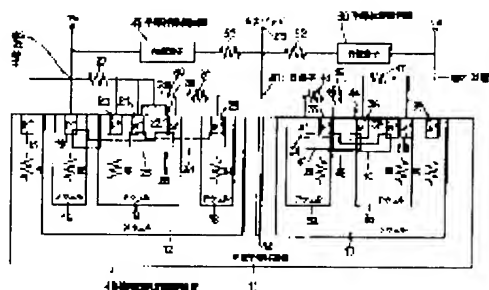
(72)Inventor : SUZUKI MASAHIRO
SHIOTANI TAKESHI

(54) INTEGRATED CIRCUIT PROTECTING APPARATUS

(57)Abstract:

PROBLEM TO BE SOLVED: To constitute an integrated circuit protecting apparatus capable of protecting a semiconductor integrated circuit with a possibly small circuit area, even when a voltage exceeding a prescribed range of the positive or negative polarity is applied to the semiconductor integrated circuit.

SOLUTION: In a p-type semiconductor substrate 11, current control elements 26, 42 at the power source and ground which have a bidirectional thyristor structure are formed. When EDS is applied to an output pad 53, and the output pad 53 is connected to a ground Vss according to the working condition of inner elements 49, 50, SCR structures 24, 25 of the current control elements 26 turn on in a terminal T1-T2 direction and terminal T2-T1 direction respectively, according to the voltage polarity of ESD to protect inner elements 49. When the output pad 53 is connected to the power source Vdd, SCR structures 40, 41 of the current control elements 42 turn on in the terminal T1-T2 direction and the terminal T2-T1 direction respectively to protect the inner elements 50.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office